

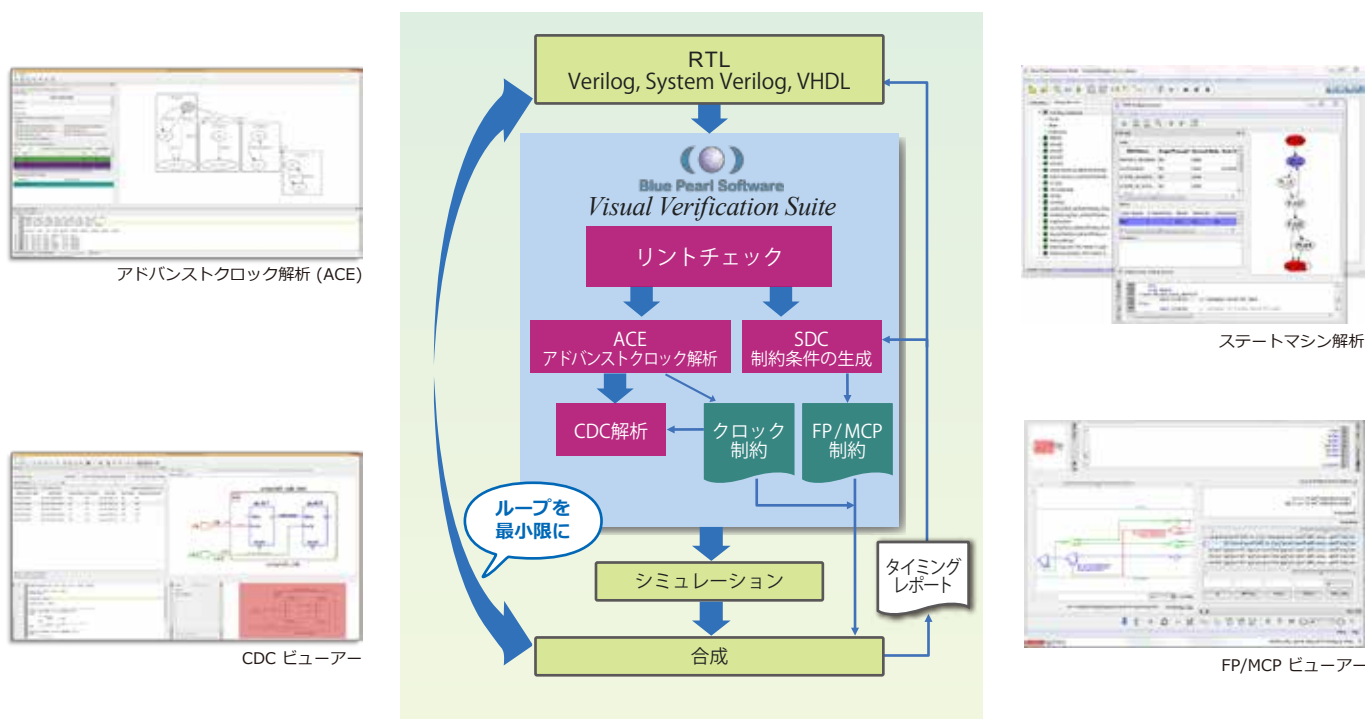
Blue Pearl Software社製  
**FPGA/ASIC開発向けRTLチェッカー**  
*Visual Verification Suite*



**GUI操作で検証・デバッグをより速く簡単にする次世代EDAツール**

Blue Pearl Software社の「Visual Verification Suite」は、簡単なセットアップで、RTLコードのデバッグを最大限効率的に行い、信頼性の高いRTL開発を可能にする総合的な検証ツールです。

- |                                    |   |              |
|------------------------------------|---|--------------|
| • Analyze RTL™                     | ⇒ | リントチェック      |
| • Advanced Clock Environment (ACE) | ⇒ | アドバンスなクロック解析 |
| • Clock Domain Crossing (CDC)      | ⇒ | CDC解析        |
| • Automatic SDC Generation         | ⇒ | SDC生成のサポート   |
| • Management Dashboard             | ⇒ | 実行結果のグラフ化    |



**仕様**

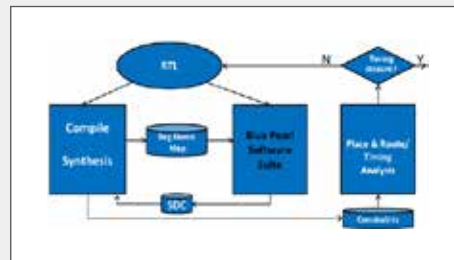
対応言語	Verilog VHDL	SystemVerilog Mixed Language	Liberty (.Lib)
Analyze RTL™ (リント) チェックカテゴリー	Races Clocks Coding Style Drive conflicts	Assignment checks Case statements Implied latches Redundant logic	X-source problems Design initializes / resets Simulation / Synthesis Size conflicts
搭載機能	CDCビューアー SDCの生成・比較 ステートマシン解析 ウェイバー機能 パス解析	GUI/CLIの両対応 スキマチェックビューア アサーション記述の生成 <b>FPGAベンダライブラリの内蔵</b> <b>UserGreyCell™ を用いたIP等を含むCDC解析</b>	
対応プラットフォーム	Windows 7/8.1/10 (64bit) Linux Red Hat Enterprise v.6/CentOS 6.x (64bit)		

## Analyze RTL™

### 主な機能：

- ・ IEEE Verilog/SystemVerilog/VHDL の言語仕様に沿っているかのチェック
- ・ 標準的なリントチェック、業界標準 RTL 検証基準に合わせてチェック項目を構成
- ・ RTL コード、回路図、GUI によるメッセージなど、統合された環境で効率的なデバッグが可能
- ・ ワーニングメッセージのソートやフィルターで問題点を正確に指摘
- ・ コマンドラインインターフェース (CLI) やメッセージファイルの再利用でフローを自動化

- ◆ 設計の問題点を高速チェック
- ◆ DO-254、STARC に準拠
- ◆ 操作性の優れたデバッグ環境
- ◆ ユーザに必要なチェックのみのパッケージを生成可能



## Advanced Clock Environment (ACE)

### 主な機能：

- ・ クロック、クロックドメイン分けの方法および、相互作用の詳細解析
- ・ ビジュアル化したフィルターで素早いデバックが可能
- ・ CDC の問題点を正確にピンポイントで指摘

- ◆ クロックドメイン定義の評価
- ◆ クロックおよびクロックドメインの図式化
- ◆ クロックグループ分け方法の推奨を出力
- ◆ CDC 制約の SDC テンプレートを生成



## Clock Domain Crossing (CDC)

### 主な機能：

- ・ CDC 同期の種別判断
- ・ メタスタビリティの原因となる CDC の同期化がとれていない箇所を指摘
- ・ 解りやすいレポートと回路図を表示し、CDC 同期のデバックが可能
- ・ 独自の UserGreyCell™ を用いて他社 IP を含んだパス解析が可能

- ◆ 簡単なセットアップ
- ◆ CDC タイプ別にリスト表示
- ◆ FPGA ベンダのクロックの仕組みを理解
- ◆ IP ベースの設計も簡単に CDC 解析

## Automatic SDC Generation

### 主な機能：

- ・ フォルスパス・マルチサイクルパスを自動検出
- ・ SDC ファイルのテンプレートを自動出力
- ・ 特定ツール向けの SDC フォーマットの生成
- ・ アサーション・ベース検証で使用可能な記述を出力

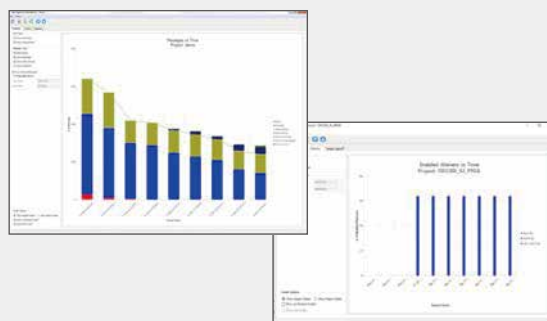
- ◆ SDC ファイルの生成工数削減
- ◆ ユーザによる SDC の書きかえ可能
- ◆ 出カアサーション言語
  - ・ PSL (Property Specification Language)
  - ・ SVA (SystemVerilog Assertion)

## Management Dashboard

### 主な機能：

- ・ 解析の結果のエラー、ワーニング数の推移を時系列でグラフ化
- ・ ウェイバー処理をしたワーニング数をグラフ化
- ・ 各種メッセージから必要なものを抜粋して出力するデータのカスタマイズが可能
- ・ レポートは Microsoft Office ツールにて出力可能

- ◆ スケジュールや進捗のマネージメント
- ◆ 同期 / 非同期クロックの割合表示
- ◆ ウェイバーワーニング数をグラフで把握



※「Clock Domain Crossing (CDC)」「Automatic SDC Generation」「Management Dashboard」は、オプション機能のため単体での販売はしておりません。

※本印刷物に記載の内容および製品・サービスの仕様は、予告なく変更する場合があります。  
※記載されている社名および製品名は、各社の商標または登録商標です。

©2017 FUJISOFT INCORPORATED. All rights reserved.