

IPコア

http://www.fsi-embedded.jp/_ptr/ipclock/index2.html#02

- IPClockのIPコアはIEEE1588 v2規格準拠のスレーブです。BC(Boundary Clock)とマスター/スレーブOCを提供しています。
- 最先端のクロック同期アルゴリズムスイートとIEEE1588 v2プロトコルスタックを含む完全なIEEE1588 v2マスター/スレーブOCの実施に必要な、すべてのレイヤーを採用しています。
- PowerQUICC、MIPS、ARMおよびMicroBlazeのマイクロプロセッサを利用しており、VxWorksのオペレーティングシステムおよびLinuxオペレーティングシステムで十分に検証されています。

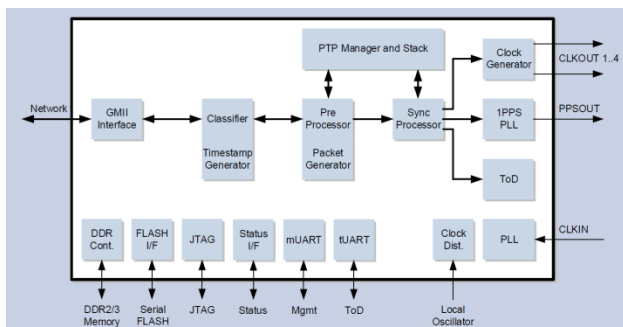
IPC9004 : IEEE1588 v2 BC マスター/スレーブ FPGA用ネットリスト

IEEE1588 v2 規格準拠 BCおよびマスター/スレーブOC 対応の「IPコア」

ベストマスタークロック (BMC) アルゴリズムに規格準拠しています。

64 スレーブ / チャネルをサポート、Xilinx 7シリーズFPGAを使用しています。

ブロック図 :



評価ボード

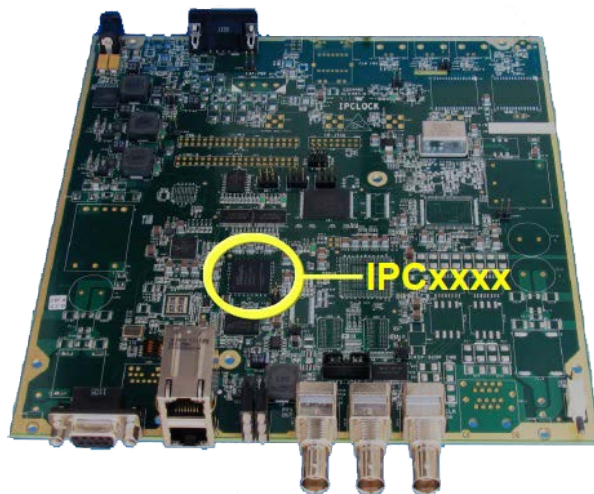
http://www.fsi-embedded.jp/_ptr/ipclock/index3.html#03

IPC300 : Chip-on-FPGA用 評価ボード

IPClock社製のFPGA「IPC1710」および「IPC9000」の評価ボード

ベストマスタークロック (BMC) アルゴリズムに規格準拠しています。

IEEE1588 v2 マスター/スレーブ BC (Boundary Clock) に対応しています。



IPC400 : IEEE1588 v2 マスター/スレーブ搭載 デモ装置

IPClock社製のFPGA「IPC1710」および「IPC9000」の評価ボード「IPC300」を装置化 (19インチラック区画の半分サイズ)

IEEE1588 v2 マスター/スレーブ BC (Boundary Clock) に対応しています。



※本カタログに記載の内容および製品・サービスの仕様は、予告なく変更する場合があります。