

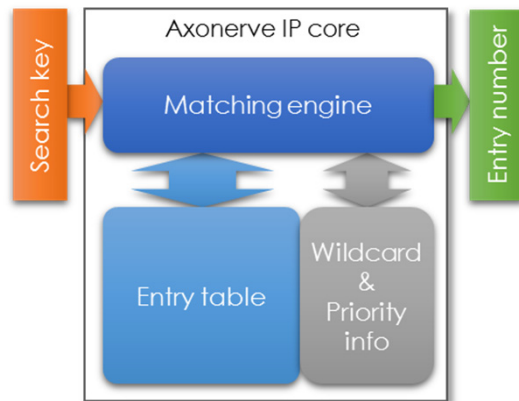
富士ソフトは、長瀬産業株式会社のFPGA実装TCAM検索エンジンIPコア「Axonerve」の国内での販売をしています。この製品をSDN/NFVといったNetworkアクセラレーションやIoTゲートウェイの機能拡張、ディープ・ラーニング・アクセラレーター、データ・マイニングが必要とされるAIシステムやデータセンターなどでお使いいただけます。

Axonerveとは

Axonerveは、次世代の連想記憶メモリ（CAM）ソリューションです。独自のマッチングアルゴリズムにより、高速かつ低レイテンシのデータ検索を超低消費電力で提供します。

Axonerveは、連続検索が可能で、100Gbpsのネットワークパケットのトラッキング時は150Mサーチ/秒に達します。また、Exact matchとWildcard matchをサポートし、多数のマッチングデータの中から最終的にどれを選択すべきかを決定する、プライオリティ機能を提供します。マッチング順序を変更するために、エントリテーブル全体をソートまたは更新する必要はありません。

Axonerveは合成可能なIPコアで、特別なメモリ構造を必要としません。これは電力と面積の削減につながり、Axonerve IPコア単体または複数のインスタンスをFPGAだけでなくASICに実装することも可能としています。



アプリケーション・特長

アプリケーション

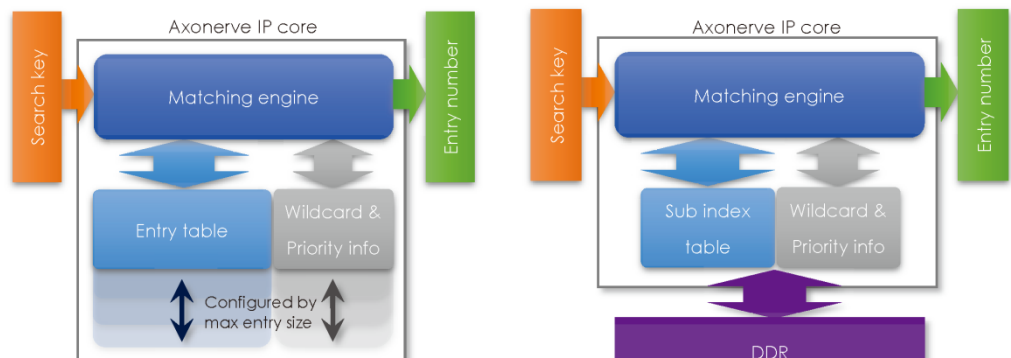
- SDN/OpenFlow switch
- Carrier grade NAT
- Virus signature matching
- L2 MAC lookup
- Memcached server
- IoT data mining
- Deep packet inspection
- Dedup storage
- Machine learning for AI
- Key-value Store (KVS)

特長

Entry Capacity	Fixed Search Latency	Search Speed
1K-1M entries	10 cycles (On-chipメモリーモード) 20 cycles (Off-chipメモリーモード)	1,000,000 Search / MHz (e.g. 150MSPS@150MHz)
Key Length	Operations	OpenFlow Friendly
32 / 64 / 144 / 288 / 576 / 1152bits	Entry write / read / delete / search update / aging function	Wildcard mask & priority Long key search Value

On-chip / Off-chipメモリーモード

On-chipメモリーモードでは、AxonerveはFPGA内のエントリテーブル全体を保持し、Off-chipメモリーモードでは、エントリテーブルは外部メモリデバイスに配置されます。Axonerveは、エントリテーブルのインデックスとFPGA内のワイルドカードおよび優先順位情報のみを保持します。Axonerveは、FPGAの内部メモリに収まらないエントリをさらに処理できます。



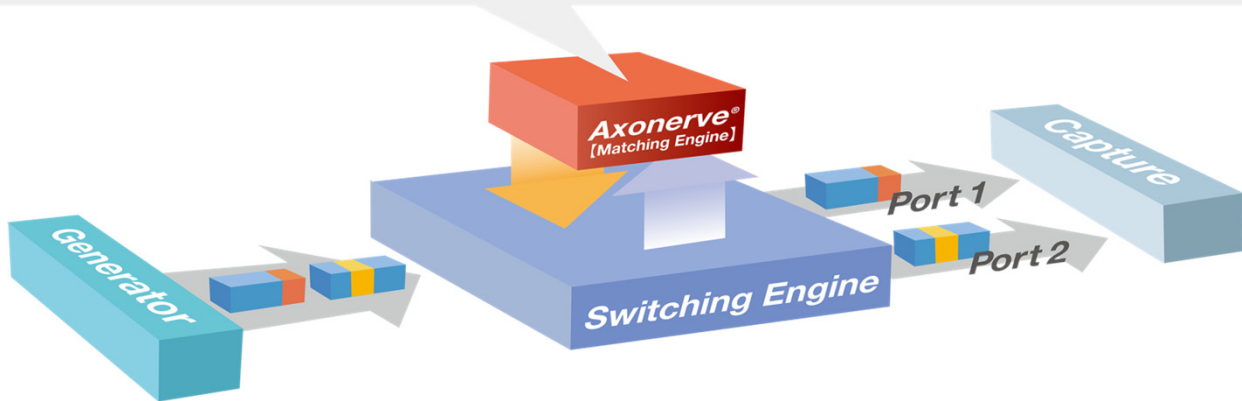
On-chipメモリーモード

Off-chipメモリーモード

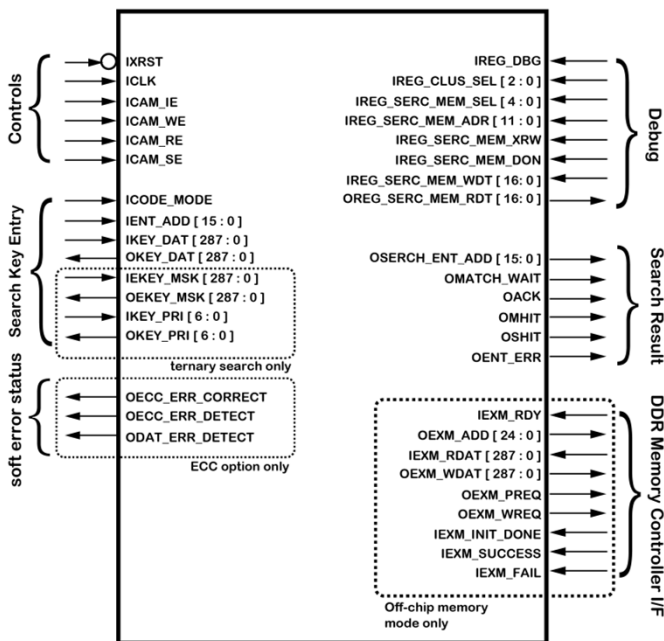
アプリケーション例 (OpenFlow Switch)

Flow Table

Priority	MAC_SRC	MAC_DST	VLAN	IPV4_SRC	IPV4_DST	IP	TCP_SRC	TCP_DST	Action
6	48	48	12	32	32	8	16	16	
100	*	*	*	192.168.10.100	*	6	22	*	<Action>
90	*	*	*	192.168.10.100	*	6	*	80	<Action>
80	*	*	*	192.168.10.0/24	192.168.1.100	6	*	*	<Action>
70	*	*	*	*	192.168.1.100	6	*	80	<Action>
60	*	*	*	*	192.168.1.100	6	*	*	<Action>
60	*	*	*	*	192.168.1.110	50	*	*	<Action>
50	*	*	*	*	10.0.0/16	*	*	*	<Action>
100	*	32:61:3C:4E:B6:05	1000	*	*	*	*	*	<Action>
50	*	32:61:3C:4E:A3:05	800	*	*	*	*	*	<Action>
50	*	32:61:3C:4E:A3:06	500	*	*	*	*	*	<Action>
50	32:61:3C:4E:A3:06	32:61:3C:4E:A3:06	*						<Action>



IPコアピン配置 (例 288-bit key x 64Kエントリ)



*左図は、288ビット×64Kエントリモデルのピン配置を示しています。一部のI/Oピン幅は、ユーザーの設定に応じて変更されることがあります。

※本印刷物に記載の内容および製品・サービスの仕様は、予告なく変更する場合があります。記載されている社名および製品名は、各社の商標または登録商標です。